

MENU**SEARCH****INDEX****JAPANESE**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-076378**(43)Date of publication of application : **06.04.1988**

(51)Int.CI.

H01L 29/78

H01L 27/12

H01L 29/28

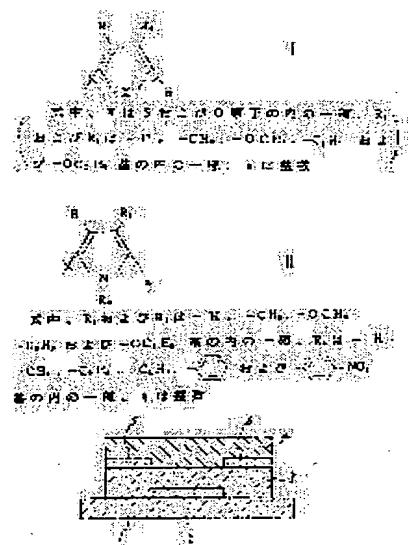
(21)Application number : **61-222522**(71)Applicant : **MITSUBISHI ELECTRIC CORP**(22)Date of filing : **18.09.1986**(72)Inventor : **TSUMURA AKIRA****HIZUKA YUJI****ANDO TORAHIKO**

(54) FIELD-EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To obtain a stable operation and reduce a leakage of electricity so that an electric current between a source electrode and a drain electrode can be drastically changed by a gate voltage by causing a semiconductor layer to form an organic thin film having a specific thickness which is composed of ,,-conjugated polymer, when conductivity of the above semiconductor layer serving as a current path between the source and drain electrodes is controlled by the gate voltage through an insulating thin film.

CONSTITUTION: A metal film 2 that functions as a gate electrode, an insulating thin film 3, an organic thin film that is composed of ,,-conjugated polymer and has a thickness of 1000 Å or less, thereby performing the task as a semiconductor layer 4, as well as the metal film 6 that functions as respective electrodes of source and drain are formed on a substrate. In view of the ease of the film formation and composition, ,,-conjugated polymer having a five-membered heterocyclic ring is in wide use. Among them in particular, it is preferable to have ,,-conjugated polymer exhibited by I and II expressions and it is still more desirable for it to use polythiophene and poly (3-methylthiophene) from the practical point of view. Thus, the above measure makes it possible to obtain a stable operation and reduce a leakage of electricity and furthermore change drastically an electric current between source and drain electrodes by means of a gate voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭63-76378

⑬ Int.Cl.

H 01 L 29/78
27/12
29/28

識別記号

311

庁内整理番号

B-8422-5F
7514-5F
6835-5F

⑭ 公開 昭和63年(1988)4月6日

審査請求 未請求 発明の数 1 (全10頁)

⑮ 発明の名称 電界効果型トランジスタ

⑯ 特願 昭61-222522

⑰ 出願 昭61(1986)9月18日

⑱ 発明者 津村 顯 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

⑲ 発明者 肥塚 裕至 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

⑳ 発明者 安藤 虎彦 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

㉑ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

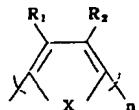
電界効果型トランジスタ

2. 特許請求の範囲

(1) ソース電極とドレイン電極間の電流通路である半導体層の電導度を絶縁薄膜を介してゲート電圧によって制御するものにおいて、上記半導体層が、π-共役系高分子から成る厚さ1000Å以下の有機薄膜であることと特徴とする電界効果型トランジスタ。

(2) π-共役系高分子が複素五員環を有する特許請求の範囲第1項記載の電界効果型トランジスタ。

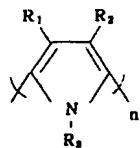
(3) 複素五員環を有するπ-共役系高分子が、一般式



式中、XはSおよびO原子の内の一基、R₁およびR₂は-H、-CH₃、-OCH₃、-C₂H₅および-OC₂H₅基の内の一基、nは整数

で示されるものである特許請求の範囲第2項記載の電界型トランジスタ。

(4) 複素五員環を有するπ-共役系高分子が一般式



式中、R₁およびR₂は-H、-CH₃、-OCH₃、-C₂H₅および-OC₂H₅基の内の一基、R_nは-H、-CH₃、-C₂H₅、-C₆H₅、-环基および-环基-N₂-NO₂基の内の一基、nは整数

で示されるものである特許請求の範囲第2項記載の電界効果型トランジスタ。

(5) 複素五員環を有するπ-共役系高分子がポリチオフェンである特許請求の範囲第8項記載の電界効果型トランジスタ。

(6) 複素五員環を有するπ-共役系高分子がポリ(8-メチルチオフェン)である特許請求の範囲第8項記載の電界効果型トランジスタ。

特開昭63-76378(2)

(7) 有機薄膜を電気化学的重合法によつて得る特許請求の範囲第1項ないし第6項の何れかに記載の電界効果型トランジスタ。

8. 発明の詳細な説明

(産業上の利用分野)

この発明は、有機半導体を用いた電界効果型トランジスタ（以下、FET素子と略称する）に関するものである。

〔従来の技術〕

π -共役系高分子は化学構造の骨格が共役二重結合や共役三重結合から成つており、 π -電子軌道の重なりによつて形成される価電子帯と伝導帯およびこれを隔てる禁制帯から成るバンド構造を有しているものと考えられている。禁制帯幅は材料によつて異なるが、殆どの π -共役系高分子では1.5～4eVの範囲にある。このために π -共役系高分子は、それ自身では絶縁体である。しかし、化学的方法、電気化学的方法、物理的方法等によつて価電子帯から電子を抜き去つたり（酸化）、または、伝導帯に電子を注入（還元）すること

を組み合わせた接合素子としては、p型およびn型ポリアセチレンを用いたpnホモ接合素子が知られている〔Appl. Phys. Lett.〕第88巻、第18頁、1978年刊行〕。また、ポリアセチレンとポリ(N-メチルビロール)からなるヘテロ接合素子が報告されている〔J. Appl. Phys. 第58巻、第1279頁、1985年刊行〕。

一方、 π -共役系高分子を半導体層として用いたFET素子としてはポリアセチレン〔J. Appl. 第54巻、第8255頁、1988年刊行〕、ポリ(N-メチルビロール)〔ポリマー ブリプリント ジャパン(Polymer Preprints, Japan)、第34巻第4号第917頁、1986年刊行〕およびポリチオフェン〔ポリマー ブリプリント ジャパン(Polymer Preprints, Japan)第85巻第8号第609頁、1986年刊行〕を用いたものが知られている。

第5図は、従来のポリアセチレンを用いたFET素子の断面図である。

（以下、ドーピングという）によつて電荷を運ぶキャリヤー（担体）が生じるものと簡単には説明されている。この結果、ドーピングの量を制御することによつて、導電度は絶縁体領域から金属領域の幅広い範囲にわたつて変えることが可能である。ドーピングが酸化反応の時に得られる高分子はp型、還元反応の場合にはn型になる。これは無機半導体における不純物添加の場合に似ている。このために π -共役系高分子を半導体材料として用いた半導体素子を作製することができる。

具体的には、ポリアセチレンを用いたショットキ-型接合素子〔ジャーナル オブ アプライド フィジクス(J. Appl. Phys.)第52巻、第869頁、1981年刊行、特開昭56-147486号公報等〕、ポリビロール系共役系高分子を用いたショットキ-型接合素子〔特開昭59-68760号公報等〕が知られている。また、無機半導体であるn-CdSとp型ポリアセチレンとを組み合わせたヘテロ接合素子が報告されている〔J. Appl. Phys. 第51巻、第4252頁、1980年刊行〕。 π -共役系高分子同

図において、(1)は基板となるガラス、(2)はゲート電極となるアルミニウム膜、(3)は絶縁薄膜となるポリシロキサン膜、(4)は半導体層として働くポリアセチレン膜（厚さ：約2900Å）、(5)および(6)はそれぞれソース電極とドレイン電極となる金属膜である。

次に動作について説明する。ソース電極(5)とドレイン電極(6)の間に電圧をかけるとポリアセチレン膜(4)を通してソース電極(5)とドレイン電極(6)間に電流が流れる。このとき、ガラス基板(1)上に設けられかつ絶縁薄膜(3)によりポリアセチレン膜(4)と隔てられたゲート電極(2)に電圧を印加すると電界効果によつてポリアセチレン膜(4)の導電度を変えることができ、したがつてソース・ドレイン間の電流を第6図に示すように制御することができる。（J. Appl. Phys., 第54巻、第8255頁、1988年刊行）第6図は従来のFET素子のゲート電圧0V、-8Vおよび8Vにおけるソース・ドレイン間電圧(V)によるソース・ドレイン間電流(μA)変化を示す特性図であり、図において、(1)、(2)お

特開昭63-76378(3)

および(3)は、各々ゲート電圧-8V、0V、および+8Vにおける上記特性で、横軸はソース・ドレイン間電圧(V)、縦軸はソース・ドレイン間電流(μA)である。この変化は絶縁薄膜(3)に近接するポリアセチレン膜(4)内の空乏層の幅がゲート電極(2)に印加する電圧によって変化し実効的なホール(正孔)のチャネル断面積が変化するためと考えられている。しかし、このFET素子では、素子特性上の問題よりも、ポリアセチレン自身が空气中で酸素および水分によって急速に劣化するために、素子自身の安定性が極めて乏しいのが実状である。

第7図は、ポリ(N-メチルビロール)またはポリチオフェンを半導体層とするFET素子の断面図を示す。図において、(3)は絶縁薄膜となる酸化シリコン、(4)は半導体層として働くポリ(N-メチルビロール)膜またはポリチオフェン膜、(5)および(6)は、それぞれソース電極とドレイン電極となる金膜、(7)は基板並ゲート電極となるD型シリコンである。この場合においても半導体層(4)を通してソース電極(5)とドレイン電極(6)の間に流れ

ゲート電圧が0Vの時にソース・ドレイン間電流がソース・ドレイン間電圧の増加と共に増えたといった、いわゆるリーフ電流が、これら素子をスイッチング素子として用いる場合には、特に問題となつていた。すなわち、ゲート電圧を印加した時と、0Vの間でのソース・ドレイン間電流の比(スイッチング比)が低くなり実用上は大きな問題となつていた。

この発明はかかる問題点を解決するためになされたもので、安定に作動し、リーク電流を少なくすることができ、それによりゲート電圧によってソース・ドレイン間電流を大幅に変えることができる電界効果型トランジスタを得ることを目的とする。

〔問題点を解決するための手段〕

この発明の電界効果型トランジスタは、ソース電極とドレイン電極間の電流通路である半導体層の電導度を絶縁薄膜を介してゲート電圧によって制御するものにおいて、上記半導体層が、 π -共役系高分子から成る厚さ1000Å以下の有機薄膜で

る電流(電導度)をゲート電極に印加する電圧で制御できる。

第8図はポリマー プリプリント ジャパン(Polymer Preprints, Japan 第85巻第8号第609頁、1986年刊行)に示されている従来の、半導体層にポリチオフェンを用いたFET素子の、ゲート電圧-50,-40,-30,-20,-10および0Vにおけるソース・ドレイン間電圧(V)によるソース・ドレイン間電流(mA)変化を示す特性図であり、(3)ないし(6)は、各ゲート電圧-50V,-40V,-30V,-20V,-10V,0Vにおける特性で、横軸はソース・ドレイン間電圧(V)、縦軸はソース・ドレイン間電流(mA)である。

〔発明が解決しようとする問題点〕

しかしながら、これらポリアセチレン、ポリ(N-メチルビロール)およびポリチオフェンを半導体層として用いたFET素子ではソース・ドレイン間の電導度をゲートから印加する電圧によつてそれ程大きく変えることはできず、実用上の観点から、特性の改善が求められていた。特に、

あることを特徴とするものである。

〔作用〕

トランジスター動作で必要な箇所は、ソースとドレイン電極間で、しかも、ゲート絶縁膜近傍の半導体層だけであり残りの半導体層は単なる抵抗体として作用しているだけと考えられる。その結果、ゲート電圧によつて制御できる電流に上乗せして、絶えず上記抵抗体を通しての漏れ電流が流れてしまう。そこでこの発明では、トランジスター動作として余分な部分を半導体層全体の膜厚を薄くすることによって除去しようとする。

〔実施例〕

第1図に、この発明の一実施例のFET素子の断面図を示す。図中、(1)は基板であり、(2)は基板(1)上に設けられたゲート電極として働く金属膜、(3)は絶縁薄膜、(4)は半導体層として働く厚さ1000Å以下の π -共役系高分子から成る有機薄膜、(5)および(6)はそれぞれソースおよびドレイン電極として作用する金属膜である。

ここでこの発明に用いる材料としては以下に述

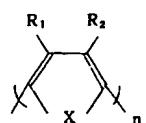
特開昭63-76378 (4)

べるものがある。

基板(1)は絶縁性の材料であればいずれも使用可能であり、具体的には、ガラス、アルミニナ焼結体やポリイミドフィルム、ポリエステルフィルムなどの各種絶縁性プラスチック等が使用可能である。ゲート電極として働く金属膜(2)およびソースとドレインとして働く金属膜(5), (6)としては金、白金、クロム、パラジウム、アルミニウム、イソジウムなどの金属や、錫酸化イソジウム、イソジウム・錫酸化物(ITO)等が用いるのが一般的であるが、勿論これらの材料に限られる訳ではなく、また、これらの材料を2種以上用いてゲート電極として使用しても差し支えない。ここで金属膜を設ける方法としては、蒸着、スパッコリング、めつき、CVD成長等の方法がある。

第1図に示すこの発明の一実施例のFET素子においては、p型シリコンやn型シリコンをゲート電極(2)と基板(1)を兼ねて用いることができる。この場合には、基板(1)を省略することができる。また、この場合にはp型シリコンやn型シリコン

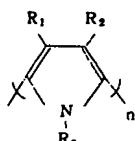
この発明で使用するπ-共役系高分子は、π-共役系高分子ならばいずれも使用可能であり、具体的にはポリピロール、ポリ(N-置換ピロール)、ポリ(2,4-二置換ピロール)、ポリテオフェン、ポリ(3-置換チオフェン)、ポリ(3,4-二置換チオフェン)、ポリアニリン、ポリアズレン、ポリビレン、ポリカルバゾール、ポリ(N-置換カルバゾール)、ポリセレノフェン、ポリフラン、ポリベンゾチオフェン、ポリ(フェニレンビニレン)、ポリベンゾフラン、ポリ(パラフェニレン)、ポリインドール、ポリイソチオフェン、ポリビリダジン、ポリジアセチレン類、グラファイト高分子類等が挙げられるが、勿論これらに限られるものではない。しかし、FETの特性、成膜性および合成の容易さから複素五員環を有するπ-共役系高分子が好んで用いられるが、その中でも一般式



の体積固有抵抗率は半導体層として用いるπ-共役系高分子のそれよりも小さい事が实用上好ましい。更に、ゲート電極として導電性の有機系高分子を用いても差し支えない。また使用目的に応じゲート電極(2)と基板(1)を兼ね、ステンレス板、銅板等の金属板を用いることも可能である。

また絶縁薄膜(3)としては絶縁性のものであれば、無機、有機のいずれの材料でも使用可能であり、一般的には酸化シリコン(SiO₂)、窒化シリコン、酸化アルミニウム、ポリエチレン、ポリビニルカルバゾール、ポリフェニレンスルファイド、ポリバラキシレンなどが用いられる。これら絶縁膜の作製方法としてはCVD法、プラズマCVD法、蒸着法、スピンドルコーティング法、クラスターイオンビーム蒸着法等があるがいずれも使用可能である。更に、LB単分子累積法も用いることができる。また、p型シリコンやn型シリコンをゲート電極(2)と基板(1)を兼ねて用いる場合には、絶縁薄膜(3)としてはシリコンの熱酸化法等によって得られる酸化シリコン膜が好んで用いられる。

(式中、XはSおよびO原子の内の一種、R₁およびR₂は-H、-CH₃、-OCH₃、-C₂H₅および-OC₂H₅基の内の一種、nは整数である)で示されるもの、および一般式



(式中、R₁およびR₂は-H、-CH₃、-OCH₃、-C₂H₅および-OC₂H₅基の内の一種、R₃は-H、-CH₃、-C₂H₅、-C₃H₇、-C₆H₅および-C₆H₄-NO₂基の内の一種、nは整数である。)で示されるものが特に好まれ、更にポリチオフェンおよびポリ(8-メチルオフエン)が实用上の観点から多用される。尚、これらπ-共役系高分子はFET素子の安定性および特性の観点から極めて優れた材料である。これらπ-共役系高分子から成る有機薄膜の作製方法としては、通常の高分子合成法で得られるπ-共役系高分子を、スピンドルコーティング、蒸着法、ディップティング法等で設けるものや、あらかじめ触

特開昭63-76378 (5)

媒を塗布したところにモノマーガスを導入して得る方法やCVD法、光CVD法、更に化学酸化重合法や電気化学的重合法等があるが、勿論これらに限られるものではない。又、モノマーを水またはグリセリン等のサブフェイズ上に展開させて単分子膜や累積膜とし、基板上に堆積させるLB法を用いることもできる。この時には、基板上に堆積させる前に重合させる方法や、堆積後重合させる方法によりπ-共役系高分子から成る有機薄膜を得ることができる。しかし、成膜性、作製の容易さ等の観点から電気化学的重合法が好んで用いられる。

π-共役系高分子は、ドーピング処理を施さなくても、電導度は低いものの一般的にはp型の半導体としての性質は有している。しかし、FET素子の特性の向上のために、しばしばドーピング処理が行われる。このドーピングの方法としては化学的方法と物理的方法がある(工業材料、第84巻、第4号、第55頁、1986年刊行)。前者には

(i) 気相からのドーピング、

(ii) 液相からのドーピング、

(iii) 電気化学的ドーピング、および

(iv) 光開始ドーピング

等の方法があり、後者ではイオン注入法があり、いずれも使用可能である。しかし、操作性、およびドーピング量の制御性の観点から電気化学的ドーピング法が好んで用いられる。しかも、電気化学的ドーピングでは、π-共役系高分子が電気化学的重合法によつて得られる場合には、重合後、同じ装置でドーピング量をコントロールすることができるという利点を有する。

例えば電解重合法で上記厚さ1000Å以下のπ-共役系高分子から成る有機薄膜を形成するには、上記π-共役系高分子に相当するモノマーおよび支持電解質を有機溶媒または水、または水と有機溶媒との混合溶媒に溶かし反応溶液とし、上記第1図のこの発明の一実施例のFET素子の作製ではソース電極(5)およびドレイン電極(6)の少なくとも片方を作用電極とし、例えば白金などの対極との間に電流を通じて重合反応を起させて作用電

極上およびその近傍上に所望のπ-共役系高分子を析出させ、ソース電極(5)およびドレイン電極(6)間をπ-共役系高分子でつなぎ、析出したπ-共役系高分子から成る有機薄膜をよく洗浄した後、乾燥するという方法を用いる。電気化学的重合法によつてπ-共役系高分子から成る有機薄膜の膜厚を制御するには、合成時に流す全クーロン量を制御する事によつて比較的容易に達成できる。π-共役系高分子から成る有機薄膜を電気化学的重合法で得る時には、その殆どが酸化重合であるために支持電解質のアニオンがドーピングされているので、FET素子として優れた特性を得る目的で、ドーピング量の調整を行つても良く、場合によつては、殆ど脱ドーピングする場合もある。電気化学的重合法で得られるポリチオフエン、およびポリ(8-メチルチオフエン)の厚さ1000Å以下の膜は特にFET素子の半導体層としての特性が優れているので、この合成法が好んで用いられる。

なお、上記のようにして得られるこの発明の実

施例に係わる半導体層は1000Å以下でなければならない。即ち1000Å以上ではFET素子の特性が低下するため良くない。

さて、電気化学的重合法で用いられる有機溶媒としては、支持電解質および上記モノマーを溶解させるものなら何でもよく、例えばアセトニトリル、ニトロベンゼン、ベンゾニトリル、ニトロメタン、N,N-ジメチルホルムアミド(DMF)ジメチルスルホキシド(DMSO)、ジクロロメタン、テトラヒドロフラン、エチルアルコールおよびメチルアルコール水等の極性溶媒が単独又は2種以上の混合溶媒として用いられる。支持電解質としては酸化電位および還元電位が高く、電解重合時にそれ自身が酸化又は還元反応を受けず、かつ溶媒中に溶解させることによつて溶液に電導性を付与することの物質であり、例えば、過塩素酸テトラアルキルアンモニウム塩、テトラアルキルアンモニウムテトラフルオロボレート塩、テトラアルキルアンモニウムヘキサフルオロホスフェート塩、テトラアルキルアンモニウムバラトルエンスルホ

特開昭63-76378(6)

ネット塩および水酸化ナトリウム等が用いられるが、勿論2種以上を併用しても構わない。

以上は、この発明の一実施例である第1図のFET素子において、π-共役系高分子から成る有機薄膜を電気化学的重合法にて作製する場合について説明したが、FET素子の構造によつては、電気化学的重合法以外の他の成膜法を用いてFET素子を作製する方が良い場合もある。このようにして得られるこの発明の一実施例のFET素子はスイッチング素子や大面積液晶表示素子の駆動回路として有用である。

以下、実施例によりこの発明の詳細を説明するが、勿論、この発明はこれらの実施例に限定されるものではない。

実施例 1

$6 S/cm$ なる電導度を有する厚さ $880\mu m$ のn型シリコン板 ($3.0cm \times 8.0cm$) の両面に熱酸化法で 8000\AA 厚の酸化シリコン膜を設けた。次に、片面にポジ型レジストを用いて、ソース電極とドレイン電極となるべきパターン（各有効面積 $0.2cm \times 0.4$

ドーピング状態にあるポリチオフェンを電気化学的に脱ドーピングを行なつた後、アセトニトリルで2度洗浄後、減圧下で乾燥し、これを試料1とする。

このようにして設けたポリチオフェンが被覆していないシリコン板の他面の酸化シリコンを紙ヤスリで一部 ($0.5cm$) 除去し、インジウムーガリウムでn型シリコンとオーム性接触をとり、ここからリードをとり出しエポキシ樹脂で接点部固定し、このリード線を通じ、n型シリコンがゲート電極として作用するようにした。

以上のようにして第1図に示した構造のこの発明の一実施例のFET素子を試作した。この実施例では第1図中(1)と(2)がn型シリコンで構成され、基板兼ゲート電極であり、(3)が絶縁薄膜として働く酸化シリコン、(4)が半導体層であるポリチオフェン膜、(5)および(6)がそれぞれ金属により被覆されたクロム膜から成るソース電極とドレイン電極である。

実施例 2

cm；チャネルとなるべきギャップ： $5\mu m$ ）を描き、その後、真空蒸着法にてクロム膜を 200\AA 設け、更にその上に金膜 300\AA 設けた後、レジストを除去してソース電極とドレイン電極を形成した。このソース電極とドレイン電極に銀ペーストでリードをとり、接点部をエポキシ樹脂にて固定した。

$75ml$ のアセントニトリル中に $2.2'$ -ジチオフェン ($0.15g$)、過塩素酸テトラエチルアンモニウム ($0.55g$) を溶解させ、これを反応溶液とした。上記、シリコン板上のソース電極およびドレイン電極を作用電極とし、対極として白金板 ($1cm \times 2cm$) を用い、参照電極としてSEC（飽和カロメル電極）を使用し、反応溶液中にこれらを浸した。窒素ガス雰囲気下で作用電極を陽極として対極との間に一定電流 ($100\mu A/cm^2$) を8分間流し、作用電極上、すなわち、ソース電極およびドレイン電極上と両電極間の酸化シリコン上を完全に約 500\AA 厚のポリチオフェン薄膜で被覆した。

次に、作用電極の電位をポテンショスタットで、SECに対して $+0.4V$ に4時間設定して、p型

実施例1と同様に膜厚約 500\AA のポリチオフェン膜を作製した後に、作用電極の電位をポテンショスタットでSECに対して $0V$ に4時間設定してp型ドーピング状態にあるポリチオフェンを電気化学的に脱ドーピングを行つた後、アセトニトリルで2度洗浄後、減圧下で乾燥しこれを試料2とする。

比較例 1

ポリチオフェンを合成する際に、一定電流 ($100\mu A/cm^2$) を8分間流し、ポリチオフェン膜の膜厚を約 1400\AA にした以外は実施例1と同様の方法でFET素子を作製しこれを比較試料1とする。

比較例 2

ポリチオフェンを合成する際に、一定電流 ($100\mu A/cm^2$) を10分間流し、ポリチオフェン膜の膜厚を約 1800\AA にした以外は実施例2と同様の方法でFET素子を作製しこれを比較試料2とする。

第2図は、この発明と従来とを比較するためのソース・ドレイン間電圧 $-50V$ におけるゲート電圧(V)によるソース・ドレイン間電流(A)変化を示す

特開昭63-76378(7)

特性図である。図中、横軸はゲート電圧(V)を、縦軸はソース・ドレイン間電流(A)を表す。図中、(II-1)は上記試料2の特性、(II-2)は比較試料2の特性である。第2図から明らかのように、半導体層であるポリチオフエンの膜厚が約500Åである試料2においては、ゲート電圧が0Vの時に流れるソース・ドレイン間電流(リーク電流)は膜厚が約1400Åであるポリチオフエン膜を有する比較試料2に比べ大幅に減少している。その結果、ゲート電圧によって変調できるソース・ドレイン間電流も約8桁と大きく変化させることができた。

第8図(a)および(b)は、各々上記試料1および比較試料1のソース・ドレイン間電圧によるソース・ドレイン間電流変化を示す特性図である。図中、(a)ないし図は各々試料1を用いて、ゲート電圧-60V、-50V、-40V、-30V、-20V、-10Vの時の特性、(b)ないし図は各々比較試料1を用いて、ゲート電圧-50V、-40V、-30V、-20V、-10Vの時の特性である。図において、横軸はソース・ドレイン間電圧、縦軸はソース・ドレイン間電流である。

るものにおいて、上記半導体層が、 \pm 共役系高分子から成る厚さ1000Å以下の有機薄膜であることを特徴とするものを用いることにより、安定に作動し、リーク電流を少なくすることができ、それによりゲート電圧によってソース・ドレイン間電流を大幅に変えることができる電界効果型トランジスタを得ることができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例のFET素子の断面図、第2図および第4図はこの発明と従来を比較するためのゲート電圧(V)によるソース・ドレイン間電流(I)変化を示す特性図、第8図(a)および(b)は各々この発明の一実施例のFET素子および比較試料のソース・ドレイン間電圧によるソース・ドレイン間電流変化を示す特性図、第5図は従来のFET素子の断面図、第6図は従来のFET素子のソース・ドレイン間電圧によるソース・ドレイン間電流変化を示す特性図、第7図は従来のFET素子の断面図、第8図は、従来のFET素子のソース・ドレイン間電圧によるソース・ドレイン間電流変化を示す特性図である。

第4図は、この発明と従来とを比較するためのソース・ドレイン間電圧が-80Vの時のゲート電圧によるソース・ドレイン間電流変化を示す特性図である。図中(I-1)は試料1の特性、(I-2)は比較試料1の特性であり、横軸はソース・ドレイン間電圧(V)、縦軸はソース・ドレイン間電流(A)である。

上記第8図および第4図から明らかのように、半導体層として約500Å厚のポリチオフエンを有する試料1では、約1800Å厚のポリチオフエンを半導体層に有する比較試料1に比べて大幅にリーク電流を減少させ、かつまた、ゲート電圧の変化によってソース・ドレイン間電流を変化させることができた。

また、実施例1および2で得た試料は空気中に1ヶ月放置後も安定に作動した。

[発明の効果]

以上説明したとおり、この発明はソース電極とドレイン電極間の電流通路である半導体層の電導度を絶縁薄膜を介してゲート電圧によって制御す

るソース・ドレイン間電流変化を示す特性図である。

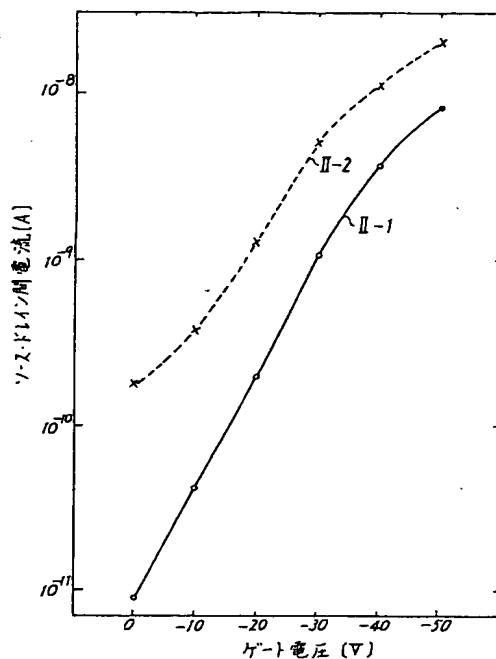
図において、(1)はゲート電極、(2)は絶縁薄膜、(3)は半導体層、(4)はソース電極、(5)はドレイン電極である。

なお、各図中同一符号は同一又は相当部分を示す。

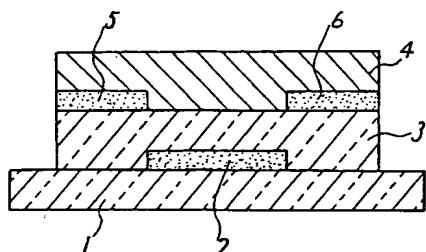
代理人 大岩増雄

特開昭63-76378 (8)

第2図

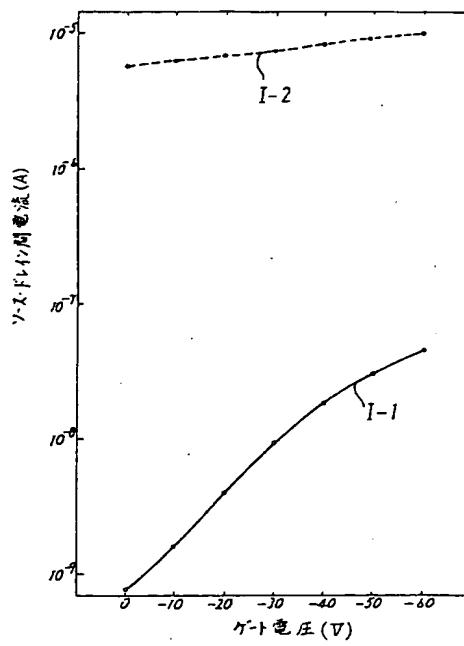


第1図

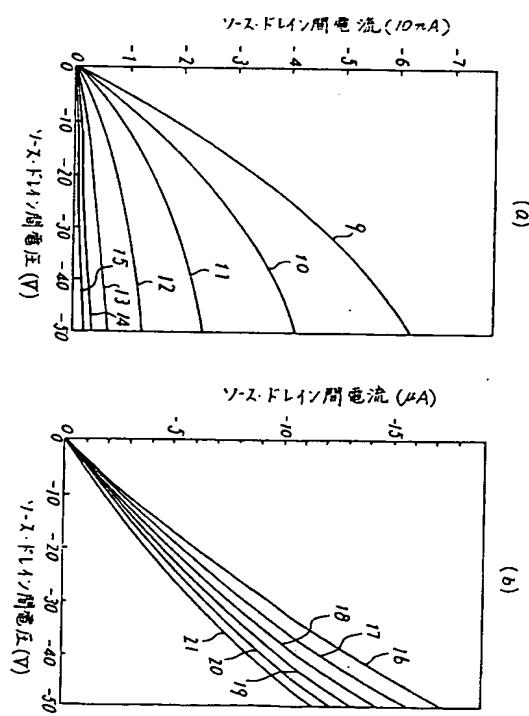


2: ゲート電極
3: 絶縁薄膜
4: 半導体層
5: ソース電極
6: ドレイン電極

第4図

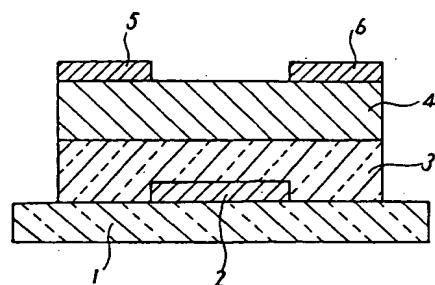


第3図

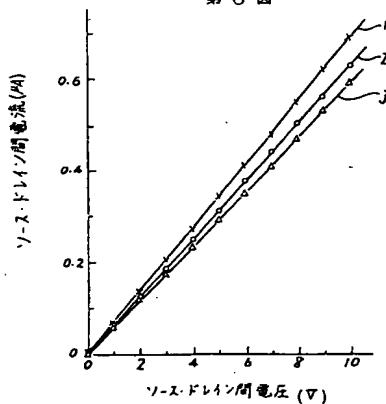


特開昭63-76378 (9)

第5図



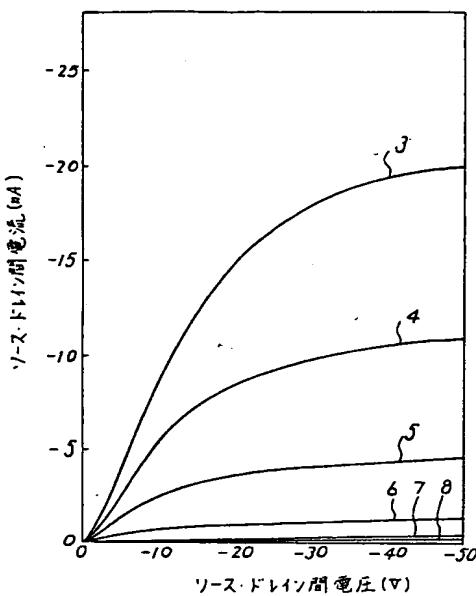
第6図



第7図



第8図



手続補正書(自発)

昭和62年4月6日

特許庁長官殿

1. 事件の表示 特願昭61-222522号

2. 発明の名称

電界効果型トランジスタ

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目2番3号

名 称 (601)三菱電機株式会社

代表者 志岐守哉

4. 代理 人

住 所 東京都千代田区丸の内二丁目2番3号

三菱電機株式会社内

氏 名 (7375)弁理士 大岩増雄

(連絡先03(213)3421特許部)

方
審
査
室62.4.9
出願日
小野寺

特開昭63-76378 (10)

5. 補正の対象

明細書の発明の詳細な説明および図面の簡単な説明の箇。

6. 補正の内容

- (1) 明細書第7頁第18行の「P型」を「P型又は□型」に訂正する。
- (2) 同第8頁第9行および第13行の「mA」を各々「mA」に訂正する。
- (3) 同第9頁第3行の「リーフ」を「リーク」に訂正する。
- (4) 同第11頁第8行および第9行の2ヶ所の「インジウム」を各々「インジウム」に訂正する。
- (5) 同第11頁第12行の「用いてゲート電極として」を「併用して」に訂正する。
- (6) 同第13頁第11行～第12行の「ポリイソチオフエン」を「ポリイソチアナフテン」に訂正する。
- (7) 同第18頁第11行の「水」を「、水」に訂正する。
- (8) 同第18頁第16行の「物質」を「できる物

質」に訂正する。

(9) 同第20頁第12行および第20行の「SEC」を各々「SCE」に訂正する。

(10) 同第21頁第9行の「リードを取り出し」を「銀ベーストでリードを取り出し、さらに」に訂正する。

(11) 同第21頁第9行の「接点部」を「接点紙を」に訂正する。

(12) 同第22頁第6行の「減圧下で乾燥し」の次に「た後、実施例1と同様にリードを取り出した。」を挿入する。

(13) 同第23頁第8行の「1400」を「1800」に訂正する。

(14) 同第24頁第5行～第6行の「ソース・ドレイン間」を「ゲート」に訂正する。

(15) 同第24頁第10行の「1800」を「1400」に訂正する。

(16) 同第25頁第12行の「要可」を「変化」に訂正する。

以上